



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

Offenlegungsschrift DE 197 42 958 A 1

⑤ Int. Cl.⁶:
H 03 M 7/00
H 03 M 13/00
G 06 F 17/00

⑦ Aktenzeichen: 197 42 958.0
⑧ Anmeldetag: 29. 9. 97
⑨ Offenlegungstag: 29. 4. 99

DE 197 42 958 A 1

⑦ Anmelder:
Siemens AG, 80333 München, DE

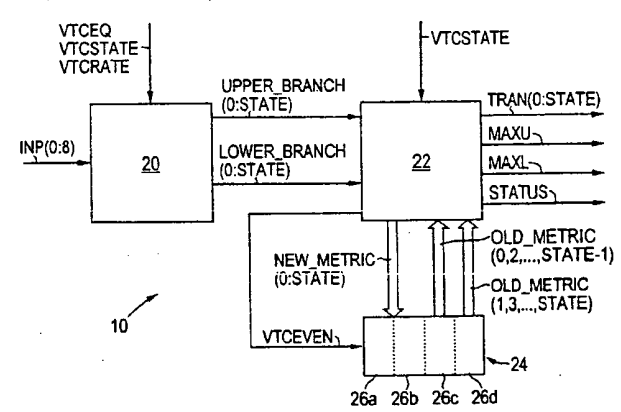
⑦ Erfinder:
Bonnardot, Andre, Dipl.-Ing., 81541 München, DE;
Eichiner, Gerhard, Dipl.-Phys., 81825 München, DE;
Meyer, Jan, Dipl.-Ing., 82362 Weilheim, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Koprozessor und Signalverarbeitungseinrichtung

⑦ Ein Koprozessor (10) dient zum Bereitstellen von Hilfsfunktionen für ein Viterbi-Dekodierungsverfahren. Er weist eine Metrikberechnungseinrichtung (20) auf, die dazu eingerichtet ist, für jeden einzelnen Trellisschritt mindestens einen Eingangswert (INP) einzulesen und in Abhängigkeit von dem mindestens einen Eingangswert (INP) mehrere Zweigmetriken (upper_branch, lower_branch) zu berechnen, eine Speichereinrichtung (24) zum Speichern von Zustandsmetriken (old_metric, new_metric), und eine Pfadwahlrichtung (22), die dazu eingerichtet ist, für jeden einzelnen Trellisschritt in Abhängigkeit von den von der Metrikberechnungseinrichtung (20) berechneten Zweigmetriken (upper_branch, lower_branch) und den in der Speichereinrichtung gespeicherten Zustandsmetriken (old_metric) neue Zustandsmetriken (new_metric) sowie Ausgangswerte (TRAN, MAXU, MAXL) zu berechnen, die neuen Zustandsmetriken (new_metric) in die Speichereinrichtung (24) einzuschreiben und die Ausgangswerte (TRAN, MAXU, MAXL) auszugeben oder zur Ausgabe bereitzustellen. Eine Signalverarbeitungseinrichtung enthält einen derartigen Koprozessor. Durch die Erfindung läßt sich ein Viterbi-Verfahren mit hinreichendem Durchsatz bei geringer Prozessorbelastung und mit relativ geringem Hardwareaufwand durchführen.



DE 197 42 958 A 1

Die Erfindung betrifft einen Koprozessor sowie eine Signalverarbeitungseinrichtung. Insbesondere ist die Erfindung zur Verwendung bei der Dekodierung von Signalen nach dem Viterbi-Verfahren oder verwandten Verfahren geeignet.

Die Erfindung kann beispielsweise bei einem mobilen Telefon, insbesondere einem Telefon nach dem GSM-Standard (GSM = Global System for Mobile Communications) eingesetzt werden.

Zur Übertragung digitaler Daten über einen gestörten Kanal werden häufig redundante Kodierverfahren eingesetzt, um Übertragungsfehler möglichst weitgehend korrigieren zu können. Bei einem derartigen Verfahren, das gemäß dem GSM-Standard für Mobiltelefone eingesetzt wird, ist eine konvolutorische Kodierung der gesendeten Daten vorgesehen. Bei einer konvolutorischen Kodierung wird jedes zu sendende Datenbit nach einem vorgegebenen Schema mit früher gesendeten Datenbits verknüpft. Im Sender ist dazu üblicherweise ein Schieberegister mit einer geeigneten Verknüpfungseinrichtung vorgesehen.

Die empfangenen Daten werden mittels eines Viterbi-Verfahrens mit wahrscheinlichkeitsbehafteten Entscheidungen (soft decisions) dekodiert. Ein solches Verfahren ist in dem Artikel "The Viterbi Algorithm" von G. David Forney, Jr., erschienen in Proceedings of the IEEE, März 1973, Seiten 268-278, beschrieben. Bei diesem Verfahren dient ein sogenannter Trellis als logisches Gliederungsmittel. Ein Trellis stellt einen "aufgerollten" Ablauf der Zustände und Übergänge im Sender dar. Jeder Trellisschritt entspricht einem gesendeten Bit.

Fig. 6 zeigt beispielhaft einen derartigen Trellisschritt in einem System mit vier Zuständen $s = 0, 1, 2, 3$. Den vier alten Zuständen ist je ein als Metrik bezeichneter Wahrscheinlichkeitswert $old_metric(s)$ zugeordnet. Dieser Wert gibt die Wahrscheinlichkeit dafür an, daß durch einen bei dem bisherigen Ablauf des Viterbi-Verfahrens bestimmten Pfad der alte Zustand s erreicht wurde.

In dem in Fig. 6 dargestellten i -ten Trellisschritt wird ein empfangenes Bit ausgewertet. Dazu werden für jeden neuen Zustand s die Werte $upper_branch(s)$ und $lower_branch(s)$ bestimmt, die die aufgrund der Empfangsdaten berechnete Wahrscheinlichkeit bezeichnen, ob das empfangene Bit einen "0"-Übergang oder einen "1"-Übergang im Sender repräsentiert. Diese beiden Möglichkeiten sind in Fig. 6 durch Pfeile veranschaulicht, wobei die durchgezogenen Pfeile einen oberen Zweig (entsprechend einem "0"-Übergang im Sender) und die gestrichelten Pfeile einen unteren Zweig (entsprechend einem "1"-Übergang) kennzeichnen. Um nun für jeden neuen Zustand eine neue Metrik $new_metric(s)$ zu berechnen, wird die jeweils wahrscheinlichste Verlängerung der bisher bestimmten Pfade ermittelt. Beispielsweise wird für den neuen Zustand 1 die folgende Formel ausgewertet:

$$new_metric(1) = \max((old_metric(2) + upper_branch(1)), (old_metric(3) + lower_branch(1))).$$

Das "+"-Zeichen bezeichnet hier eine Operation zum Aufsummieren von Wahrscheinlichkeiten. Wenn die Wahrscheinlichkeiten durch negative Logarithmen repräsentiert werden, ist diese Operation die gewöhnliche Addition.

Für zukünftige Trellisschritte wird für jeden neuen Zustand nur ein einziger Pfad berücksichtigt, nämlich derjenige, der als wahrscheinlicher beurteilt wurde. Alle anderen Pfade werden verworfen. Da nach dem GSM-Standard ein gesendeter Datenblock immer im Zustand 0 des Senders enden muß, kann nach dem Empfang eines Datenblocks der aufgrund der empfangenen Informationen wahrscheinlichste Pfad ermittelt werden. Der gesamte bisher beschriebene Vorgang wird als Kanaldekodierung (channel decoding) bezeichnet.

Eine Situation, die der konvolutorischen Kodierung mit einem Schieberegister und einer Verknüpfungseinrichtung vergleichbar ist, liegt auch bei der Funkübertragung der Sendesignale vor. Durch Reflexionen der gesendeten Signale entstehen unterschiedlich lange Übertragungsstrecken zwischen dem Sender und dem Empfänger, die in der Antenne des Empfängers zusammenlaufen. Die Mehrwegausbreitung verursacht Kanalverzerrungen, die von einem Entzerrer (equalizer) im Empfänger rückgängig gemacht werden sollen. Da die Mehrwegausbreitung in ihrer physikalischen Wirkung in etwa einer konvolutorischen Kodierung entspricht, wird auch für das Entzerren ein Verfahren verwendet, das dem Viterbi-Verfahren für die Kanaldekodierung sehr ähnlich ist und deshalb im folgenden ebenfalls als Viterbi-Verfahren bezeichnet werden soll. Im Unterschied zu dem oben beschriebenen Verfahren wird hierbei in jedem Trellisschritt die höchste Metrik aller "1"-Transitionen und die höchste Metrik aller "0"-Transitionen berechnet, um das in diesem Schritt wahrscheinlichste empfangene Bit zu ermitteln.

Die für die beiden Ausprägungen des Viterbi-Verfahrens erforderlichen Berechnungen sind relativ aufwendig, da sie in Echtzeit durchgeführt werden müssen. Wenn ein programmgesteuerter Prozessor zum Ausführen des Verfahrens vorgesehen ist, muß dieser leistungsfähig und schnell getaktet sein. Dies ist aufwendig und insbesondere in Funktelefonen problematisch, weil hier viele weitere Prozesse in Echtzeit ausgeführt werden müssen und weil mit der Leistungsfähigkeit eines Prozessors im allgemeinen auch sein Stromverbrauch zunimmt. Dedizierte Hardwareschaltungen für das Viterbi-Verfahren sind dagegen meist wenig flexibel und können nur entweder die Entzerrung oder die Kanaldekodierung ausführen. Daher wird eine relativ große Chipfläche benötigt.

Die Erfindung hat demgemäß die Aufgabe, die genannten Probleme zu lösen und Mittel bereitzustellen, die es erlauben, ein Viterbi-Verfahren mit hinreichendem Durchsatz bei geringer Prozessorbelastung und mit relativ geringem Hardwareaufwand durchzuführen.

Erfindungsgemäß wird diese Aufgabe durch einen Koprozessor mit den Merkmalen des Anspruchs 1 sowie durch eine Signalverarbeitungseinrichtung mit den Merkmalen des Anspruchs 11 gelöst.

Die Erfindung geht von der Grundidee aus, das Viterbi-Verfahren geeignet aufzuteilen, so daß sich oft wiederholte Berechnungen in einen dedizierten Koprozessor auslagern lassen. Überraschenderweise ist dies auf eine Weise möglich, die bei sehr geringem Kommunikationsaufwand zwischen dem Koprozessor und einem Hauptprozessor einen hohen Auslagerungsgrad der erforderlichen Berechnungen zuläßt. Die erfindungsgemäße Lösung beruht darauf, den Trellisschritt als Schnittstelle zwischen dem Koprozessor und dem Hauptprozessor oder einer sonstigen Steuereinrichtung vorzusehen. Bei jedem Trellisschritt werden zumindest einige Ein- und Ausgangswerte über diese Schnittstelle ausgetauscht. Die

vom Koprozessor berechneten Zweigmetriken werden jedoch in einer Speichereinrichtung des Koprozessors gehalten und von Trellisschritt zu Trellisschritt aktualisiert.

Durch die Erfindung können auf den Koprozessor sehr viele sich wiederholende Verfahrensschritte ausgelagert werden, so daß der Hauptprozessor für andere Aufgaben entlastet wird und generell kein so leistungsfähiger Hauptprozessor verwendet werden muß. Die ausgelagerten Verfahrensschritte sind zwar sehr zahlreich, aber jeweils nicht sonderlich komplex. Es handelt sich im wesentlichen um Additionen, Vergleiche und Zuweisungen. Der Koprozessor benötigt daher nur eine geringe Chipfläche. Weil der Koprozessor nicht das vollständige Viterbi-Verfahren ausführt, ist er flexibel und läßt sich in einer Vielzahl unterschiedlicher Betriebsmodi verwenden.

Bevorzugt bearbeitet der Koprozessor jeden einzelnen Trellisschritt selbständig, d. h. nach einem Startsignal des Hauptprozessors ohne weitere Interaktion mit dem Hauptprozessor. Die durch den Koprozessor übernommenen Berechnungen können dann parallel zu Prozessen im Hauptprozessor ablaufen.

Die vom Koprozessor berechneten Ausgangswerte sind bevorzugt Transitionswerte und/oder Maximalmetrikwerte und/oder andere Werte, die für die weitere Signalverarbeitung von Interesse sind. Als Maximalmetrikwerte sollen hier Werte bezeichnet werden, die einer maximalen Wahrscheinlichkeit entsprechen. Je nach der Repräsentation der Wahrscheinlichkeiten (zum Beispiel als positiver oder negativer Logarithmus) können solche Werte durch eine Maximumbildung oder durch eine Minimumbildung oder durch andere Operationen berechnet werden.

Bevorzugt ist der Koprozessor sowohl zur Entzerrung als auch zur Kanalkodierung verwendbar. Dies erlaubt einen besonders flexiblen Einsatz des Koprozessors. Bei der Entzerrung werden in bevorzugten Ausführungsformen Sollwerte zur Berechnung der Zweigmetriken verwendet.

Zum Speichern der Zustandsmetriken weist der Koprozessor vorzugsweise eine Speichereinrichtung mit mehreren Speicherbänken auf, wobei in bevorzugten Ausführungsformen ein paralleler Zugriff oder ein paralleler lesender Zugriff auf mindestens zwei dieser Speicherbänke vorgesehen ist. Dadurch wird die Verarbeitungsgeschwindigkeit gesteigert.

In bevorzugten Ausführungsformen ist der Koprozessor als festverdrahtete Hardwareschaltung und der Hauptprozessor als programmierbarer Prozessor ausgebildet. Dies erlaubt eine hohe Verarbeitungsgeschwindigkeit des Koprozessors bei gleichzeitig flexibler Ansteuerung und flexibler Vor- und Nachbearbeitung der Daten durch den Hauptprozessor. Der Koprozessor und der Hauptprozessor kommunizieren in bevorzugten Ausführungsformen vorwiegend oder hauptsächlich über Eingangs- und/oder Ausgangsregister, die auch während der Verarbeitung eines Trellisschritts von dem Hauptprozessor zumindest teilweise lesbar und/oder beschreibbar sind.

Weitere bevorzugte Ausführungsformen der Erfindung sind Gegenstand der Unteransprüche.

Ein von den Erfindern gegenwärtig bevorzugtes Ausführungsbeispiel der Erfindung und mehrere Ausführungsalternativen werden nun unter Hinweis auf die Zeichnungen genauer beschrieben. Es stellen dar:

Fig. 1 ein Blockschaltbild einiger Komponenten einer Signalverarbeitungseinrichtung,

Fig. 2 einen Datenflußplan der in einem Koprozessor auftretenden Datenströme,

Fig. 3 ein Flußdiagramm der Verarbeitung eines Trellisschritts in einer Pfadwahleinrichtung,

Fig. 4 ein Zustandsdiagramm der Verarbeitung eines Trellisschritts durch den Koprozessor,

Fig. 5a bis Fig. 5c Signalkurven der Kommunikation zwischen einem Hauptprozessor und dem Koprozessor, und

Fig. 6 eine beispielhafte Darstellung eines Trellisschritts.

Die in Fig. 1 ausschnitthaft gezeigte Signalverarbeitungseinrichtung ist als integrierte Schaltung zur Verwendung in einem GSM-Mobiltelefon ausgebildet. Ein Koprozessor 10 und ein als Hauptprozessor 12 dienender digitaler Signalprozessor sind über einen Bus 14 miteinander verbunden. An den Bus 14, der eine Breite von beispielsweise 16 Bit aufweist, sind ferner Komponenten wie eine Speichereinrichtung 16, eine Ein-/Ausgabereinrichtung 18 und andere Baugruppen, zum Beispiel Zeitgeber, angeschlossen. Mit Ausnahme des Koprozessors 10 sind die in diesem Absatz aufgeführten Komponenten der Signalverarbeitungseinrichtung an sich bekannt.

Der Koprozessor 10 weist, wie dies in Fig. 2 veranschaulicht ist, eine Metrikberechnungseinrichtung 20, eine Pfadwahleinrichtung 22 und eine Speichereinrichtung 24 auf. Die Speichereinrichtung 24 ist ihrerseits in vier Speicherbänke 26a bis 26d unterteilt, von denen jede 32 Speicherworte zu je 16 Bit aufweist. Die Pfadwahleinrichtung 22 ist über je ein Leitungsbündel mit den vier Speicherbänken 26a bis 26d verbunden, so daß ein paralleler Zugriff auf die Speichereinrichtung 24 möglich ist. Bei dem hier beschriebenen Ausführungsbeispiel werden in einem einzigen Takt je zwei Speicherbänke gelesen und eine Speicherbank beschrieben. Dies entspricht einem parallelen Zugriff auf drei Speicherbänke oder einem parallelen lesenden Zugriff auf zwei Speicherbänke.

Die in Fig. 2 gezeigten Pfeile repräsentieren Datenflüsse zwischen den Elementen des Koprozessors 10 beziehungsweise vom und zum Hauptprozessor 12. In dem hier beschriebenen Ausführungsbeispiel erfolgt die Kommunikation zwischen dem Koprozessor 10 und dem Hauptprozessor 12 über Register des Koprozessors 10, auf die der Hauptprozessor 12 über den Bus 14 zugreift. Dabei werden auf dem Bus 14 die Adresse des anzusprechenden Registers, eine Schreib-/Lese-Indikation und die einzuschreibenden bzw. ausgelesenen Daten übertragen. Innerhalb des Koprozessors 10 sind dagegen Leitungsbündel zum Datenaustausch zwischen der Metrikberechnungseinrichtung 20, der Pfadwahleinrichtung 22 und der Speichereinrichtung 24 vorgesehen. In Ausführungsalternativen können die in Fig. 2 gezeigten Datenflüsse durch andere Hardwarestrukturen übertragen werden.

Die Register des Koprozessors 10 dienen sowohl zur Kommunikation mit dem Hauptprozessor 12 als auch zum Beibehalten von Werten, die während des Berechnungsablaufs im Koprozessor 10 benötigt werden. In dem hier beschriebenen Ausführungsbeispiel sind die Register je 16 Bit breit. Es sind ein Steuerregister, ein Statusregister, neun Eingangsregister INP(0 : 8), vier Transitionsregister zum Speichern von maximal 64 Transitionsbits TRAN(0 : 63) und zwei Register zum Speichern zweier Maximalmetrikwerte MAXU und MAXL vorgesehen. In Ausführungsalternativen können andere Datenwerte gespeichert und zwischen dem Koprozessor 10 und dem Hauptprozessor 12 ausgetauscht werden. Beispielsweise können zusätzlich zu den Transitionsbits TRAN(0 : 63) Vertrauenswerte für die einzelnen Transitionen ausgegeben werden.

Das Statusregister speichert die Steuerwerte VTCEQ, VTCSTATE und VTCRATE. Diese Steuerwerte werden vom Signalprozessor 12 durch ein Beschreiben des Statusregisters eingestellt, um die Arbeit des Koprozessors 10 den aktuell-

len Erfordernissen anzupassen. Der Steuerwert VTCEQ bestimmt, ob der Koprozessor zum Entzerren oder für die Kanaldekodierung arbeiten soll. Die Steuerwerte VTCSTATE und VTCRATE geben im Kanaldekodiermodus die Anzahl der Trelliszustände beziehungsweise die Datenrate (Verhältnis von über den Kanal übertragenen Bits zu eigentlichen Datenbits) an. Der Koprozessor 10 unterstützt in dem hier beschriebenen Ausführungsbeispiel 16 und 64 Zustände sowie Datenraten von 1/2, 1/3 und 1/6. In Ausführungsalternativen sind andere Steuerwerte und andere Zustandszahlen und Datenraten möglich.

Im Entzerrmodus, der stets auf einem Trellis mit 16 Zuständen basiert, werden zur Vorbereitung der Verarbeitung eines Datenblocks von dem Hauptprozessor 12 insgesamt acht Sollwerte erzeugt und in die Eingangsregister INP1 bis INP8 geschrieben. Diese Sollwerte werden aus einer abgeschätzten Kanalimpulsantwort für die Funkübertragungsstrecke abgeleitet und entsprechen einem erwarteten Ausgangssignal einer Empfängerbaugruppe des Mobiltelefons für jedes gesendete Bit in jedem Zustand. Weil in jedem der 16 Zustände entweder eine "0" oder eine "1" gesendet werden kann, können theoretisch 32 Sollwerte auftreten, von denen jedoch aus Symmetriegründen nur acht berechnet werden müssen.

Für jeden Trellisschritt (also jedes empfangene Bit) schreibt der Hauptprozessor 12 nun einen weiteren Eingangswert mit einer Breite von 10 Bit in das Eingangsregister INP0. Dieser Eingangswert entspricht dem tatsächlich vom Mobiltelefon empfangenen Wert, der von einem Analog-/Digitalwandler digitalisiert und von einer Vorverarbeitungseinrichtung geeignet vorverarbeitet wurde. Nach einem Anstoß durch den Hauptprozessor 12 berechnet der Koprozessor 10 nun selbständig 32 Zweigmetriken, und zwar für jeden der 16 Zustände eine Zweigmetrik upper_branch(s), die die Wahrscheinlichkeit einer "0"-Transition im Sender angibt, und eine Zweigmetrik lower_branch(s), die die Wahrscheinlichkeit einer "1"-Transition im Sender angibt. Diese Berechnung ist durch die folgenden Tabellen definiert:

Zustand	0	1	2	3
upper_branch	INP1 - INP0	INP3 - INP0	INP5 - INP0	INP7 - INP0
lower_branch	INP2 - INP0	INP4 - INP0	INP6 - INP0	INP8 - INP0

Zustand	4	5	6	7
upper_branch	- INP8 - INP0	- INP6 - INP0	- INP4 - INP0	- INP2 - INP0
lower_branch	- INP7 - INP0	- INP5 - INP0	- INP3 - INP0	- INP1 - INP0

Zustand	8	9	10	11
upper_branch	- INP1 + INP0	- INP3 + INP0	- INP5 + INP0	- INP7 + INP0
lower_branch	- INP2 + INP0	- INP4 + INP0	- INP6 + INP0	- INP8 + INP0

Zustand	12	13	14	15
upper_branch	INP8 + INP0	INP6 + INP0	INP4 + INP0	INP2 + INP0
lower_branch	INP7 + INP0	INP5 + INP0	INP3 + INP0	INP1 + INP0

Beispielsweise ergibt sich also die Zweigmetrik upper_branch für den Zustand 12 als Summe der Eingangsregister INP8 und INP0. Es gelten die folgenden Symmetrien:

$$\begin{aligned} \text{upper_branch}(s) &= -\text{upper_branch}(s+8) \\ \text{lower_branch}(s) &= -\text{lower_branch}(s+8). \end{aligned}$$

Im Kanaldekodiermodus, der hier am Beispiel von 16 Zuständen und der Datenrate 1/2 betrachtet werden soll, dienen als Eingangswerte für jeden Trellisschritt zwei Distanzwerte, die vom Hauptprozessor 10 auf der Basis von Bitwahrscheinlichkeitswerten berechnet wurden. Die Bitwahrscheinlichkeitswerte ergeben sich ihrerseits aus den Ausgabewerten des Entzerrverfahrens.

Der Hauptprozessor 10 schreibt in jedem Trellisschritt die beiden Distanzwerte in die Eingangsregister INP0 und INP1. Weitere Eingangsregister zum Speichern von Sollwerten werden bei der Kanaldekodierung nicht benötigt. Aus den beiden Eingangswerten berechnet der Koprozessor 12 für jeden Zustand eine obere und eine untere Zweigmetrik gemäß den folgenden Tabellen:

	0	1	2	3	4	5	6	7
upper_branch	INP0	-INP0	INP0	-INP0	INP1	-INP1	INP1	-INP1
lower_branch	-INP0	INP0	-INP0	INP0	-INP1	INP1	-INP1	INP1

	8	9	10	11	12	13	14	15
upper_branch	-INP0	INP0	-INP0	INP0	-INP1	INP1	-INP1	INP1
lower_branch	INP0	-INP0	INP0	-INP0	INP1	-INP1	INP1	-INP1

Bei dieser Berechnung gelten die oben aufgeführten Symmetrien und zusätzlich:

upper_branch(s) = -lower_branch(s).

Bei 64 Zuständen werden auf ähnliche Weise 128 Zweigmetriken berechnet. Falls die Datenrate 1/3 oder 1/6 beträgt, werden vier Eingangswerte benötigt, die in die Eingangsregister INP0 bis INP3 geschrieben werden.

Die Pfadwähleinrichtung 22 enthält die erforderlichen Hardwareschaltungen, um für jeden Trellisschritt die in Fig. 3 in Form eines Flußdiagramms gezeigten Berechnungen durchzuführen. Bei diesen Berechnungen werden die oberen und unteren Zweigmetriken von der Metrikberechnungseinrichtung 20 verarbeitet, um neue Zustandsmetriken zu berechnen. Die Zustandsmetriken werden verglichen, und der wahrscheinlichste Pfad für jeden Zustand wird ausgewählt. Dabei gibt die Pfadwähleinrichtung 22 erstens die berechneten Transitionen und zweitens die maximalen Wahrscheinlichkeiten für den oberen und unteren Zweig aus, indem sie diese Ausgabewerte in die Transitionsregister beziehungsweise in die Register zum Speichern der Maximalmetrikwerte schreibt. Der Hauptprozessor 12 kann auf diese Register zugreifen.

In dem hier beschriebenen Ausführungsbeispiel ist die Pfadwähleinrichtung 22 als fest verdrahtete Hardwareschaltung ausgeführt. Die in dem Flußdiagramm von Fig. 3 gezeigte Schleife ist dabei zum Beispiel als Zähler implementiert, und für die arithmetischen Operationen sind entsprechende arithmetische Einheiten vorgesehen.

Die alten und neuen Zustandsmetriken werden in den vier Speicherbänken 26a bis 26d der Speichereinrichtung gespeichert. Die Speicherbänke 26a und 26c enthalten nur die Metriken gerader Zustände, und die Speicherbänke 26b und 26d enthalten die Metriken ungerader Zustände. In jedem Trellisschritt werden alte Metriken gelesen und neue Metriken geschrieben. Dabei wechseln sich die Speicherbankpaare 26a, 26b einerseits und 26c, 26d andererseits hinsichtlich ihrer Rollen als Speicher für alte und neue Metriken ab. Wenn beispielsweise in einem Trellisschritt alte Metriken von dem Speicherbankpaar 26a, 26b gelesen und neue Metriken in das Speicherbankpaar 26c, 26d geschrieben werden, so sind die Rollen in dem folgenden Trellisschritt vertauscht und die alten Metriken werden von dem Speicherbankpaar 26c, 26d gelesen und als bearbeitete neue Metriken in das Speicherbankpaar 26a, 26b geschrieben. Da sich der Speicherinhalt zwischen aufeinanderfolgenden Trellisschritten nicht ändert, sind durch dieses Verfahren die neuen Metriken jedes Trellisschritts im nächsten Trellisschritt als alte Metriken verfügbar.

Die Zuordnung der Speicherbankpaare 26a, 26b und 26c, 26d als Speicher für alte beziehungsweise neue Metriken wird durch ein Steuersignal VTCEVEN bestimmt, das von der Pfadwähleinrichtung 22 erzeugt wird und dessen Wert im Steuerregister zum Auslesen durch den Hauptprozessor 12 verfügbar ist. In jedem Trellisschritt wechselt dieses Steuersignal seinen Signalzustand (siehe Fig. 5c), wodurch sich die Rollen der Speicherbankpaare 26a, 26b und 26c, 26d vertauschen. Dadurch ist sichergestellt, daß die Pfadwähleinrichtung 22 immer auf die korrekten Speicherbankpaare zugegreift, um die alten Metrikwerte auszulesen und die neuen Metrikwerte einzuschreiben.

Der in Fig. 3 gezeigte Ablauf für einen Trellisschritt beginnt in Block 28 mit der Initialisierung der Maximalmetrikwerte MAXU und MAXL sowie des Zustandszählers. In Block 30, der aus zwei parallel ausgeführten Speicherzugriffen 32 und 34 besteht, werden die Metrik upper_metric für den um den neuen oberen Zweig verlängerten wahrscheinlichsten Pfad und die Metrik lower_metric für den um den neuen unteren Zweig verlängerten wahrscheinlichsten Pfad berechnet. Wegen der Struktur der Transitionen im Trellis erfolgen die beiden Speicherzugriffe 32 und 34 immer auf die alten Metriken eines geraden und eines ungeraden Zustands, so daß stets parallel auf zwei unterschiedliche Speicherbänke (je nach dem Zustand des Steuersignals VTCEVEN entweder auf die Speicherbänke 26a, 26b oder auf die Speicherbänke 26c, 26d) zugegriffen werden kann.

In Block 36 erfolgt zunächst ein Vergleich der berechneten Metriken upper_metric und lower_metric (Vergleich 38). Die größere Metrik, die der wahrscheinlicheren Verlängerung des bisherigen Pfades entspricht, wird ausgewählt und als neue Metrik für den aktuellen Zustand gespeichert (Speicherzugriff 40 bzw. 44). Ferner wird das Transitionsbit TRAN je nach der für die Pfadverlängerung ausgewählten Transition gesetzt (Zuweisungen 42 bzw. 46). Das Speichern der neuen Metrik new_metric beim Speicherzugriff 40 bzw. 44 erfolgt je nach dem Zustand des Steuersignals VTCEVEN in das für die neue Metrik vorgesehene Speicherbankpaar 26a, 26b bzw. 26c, 26d.

Um für den Entzerrmodus die größte Wahrscheinlichkeit für eine Pfadverlängerung mit einer oberen bzw. einer unteren Transition in einem gesamten Trellisschritt zu bestimmen, wird in Abfrage 48 die berechnete untere Metrik lower_metric mit dem Maximalmetrikwert MAXL der bisher betrachteten Zustände des Trellisschritts verglichen. Ist für den gegenwärtigen Zustand eine größere Wahrscheinlichkeit ermittelt worden, wird der Maximalmetrikwert MAXL durch die Zuweisung 50 entsprechend heraufgesetzt. Analog erfolgt auch die Maximumumbildung für die obere Transition mit der oberen Metrik upper_metric und dem Maximalmetrikwert MAXU in Abfrage 52 und Zuweisung 54. Die Maximalmetrikwerte MAXU und MAXL als Ausgangswerte des Koprozessors 10 sind nur im Entzerrmodus erforderlich; in dem hier beschriebenen Ausführungsbeispiel werden sie jedoch in allen Modi berechnet.

Schließlich wird der Zustandszähler inkrementiert (Schritt 56) und das Verfahren mit dem nächsten Zustand fortgesetzt, sofern nicht die maximale Zustandsnummer STATE erreicht ist (Abfrage 58). Der Wert STATE beträgt, je nach dem Steuerwert VTCSTATE, entweder 63 (bei 64 Zuständen) oder 15 (bei 16 Zuständen).

Der in Fig. 3 in sequentieller Form dargestellte Ablauf kann in beliebig parallelisierter oder ineinander verzahnter Form in Hardware implementiert werden. In dem hier beschriebenen Ausführungsbeispiel ist eine dreistufige Pipelinestruktur vorgesehen. In der ersten Stufe werden die Zweigmetriken und die alten Zustandsmetriken eingelesen. In der zweiten Stufe findet die Addition, der Vergleich und die Auswahl statt, und in der dritten Stufe werden die Berechnungsergebnisse ausgegeben. Da die lesenden Speicherzugriffe 32 und 34 also in einer anderen Pipelinestufe als der schreibende Speicherzugriff 40 bzw. 44 stattfinden, werden auch diese beiden Zugriffsarten parallel ausgeführt. Insgesamt finden daher (bei gefüllter Pipeline) in jedem Taktzyklus drei Speicherzugriffe statt, wobei sich die lesenden Speicherzugriffe 32 und 34 auf einen bereits begonnenen, späteren Durchlauf der in Fig. 3 gezeigten Schleife und der schreibende Speicherzugriff 40 bzw. 44 auf einen noch nicht abgeschlossenen, früheren Schleifendurchlauf beziehen. Wegen dieser Pipelineverarbeitung werden zur Berechnung eines Trellisschritts mit 16 Zuständen nur 20 Taktzyklen und zur Berechnung eines Trellisschritts mit 64 Zuständen nur 68 Taktzyklen benötigt.

Bei dem beschriebenen Ausführungsbeispiel werden die internen Register für die Metriken upper_metric und lower_metric hinsichtlich ihres Wertebereiches überwacht. Ein Überlauf dieser Register wird erkannt und als Fehlerbit VTCOVERF im Steuerregister angezeigt. Die dazu erforderlichen Schritte sind aus Gründen der Übersichtlichkeit in Fig. 3 nicht dargestellt.

Das Zustandsdiagramm von Fig. 4 stellt eine sehr abstrahierte Sicht auf den in Fig. 3 gezeigten Ablauf sowie auf die Berechnung der Zweigmetriken durch die Metrikberechnungseinrichtung 20 dar. Nach einem Übergang 60, der durch ein geeignetes Rücksetzsignal vom Hauptprozessor 12 ausgelöst wird, befindet sich der Koprozessor 10 in einem Ruhezustand IDLE. Die Verarbeitung wird vom Hauptprozessor 12 angestoßen, indem dieser ein Steuerbit VCTACT im Steuerregister des Koprozessors 10 setzt (Übergang 62). Der Koprozessor 10 wird dadurch gemäß Block 28 von Fig. 3 initialisiert und in einen Arbeitszustand ACTIVE versetzt.

In dem Arbeitszustand ACTIVE entspricht jeder Schleifendurchlauf von Fig. 3 einem Übergang 64 in Fig. 4. Der jeweils aktuelle Zustand wird taktgesteuert hochgezählt, bis alle Zustände bearbeitet sind. Ist dies der Fall (Abfrage 58 in Fig. 3), so setzt der Koprozessor 10 das Steuerbit VCTACT zurück, um das Ende der Bearbeitung des Trellisschritts anzuzeigen. Der Koprozessor 10 geht in den Ruhezustand IDLE über (Übergang 66). Um die Verarbeitung des nächsten Trellisschritts durch den Koprozessor 10 anzustoßen, setzt der Hauptprozessor 12 erneut das Steuerbit VCTACT im Steuerregister des Koprozessors 10. Die hat wiederum den Übergang 62 zum Arbeitszustand ACTIVE zur Folge. Bei diesem Übergang wird das Steuersignal VTCEVEN vom Koprozessor 10 invertiert, um die Speicherbankpaare umzuschalten.

Allgemein gilt, daß der Hauptprozessor 12 alle Register des Koprozessors 10 sowie alle Speicherzellen der Speichereinrichtung 24 lesen und beschreiben kann, solange sich der Koprozessor 10 im Ruhezustand IDLE befindet. Wenn der Koprozessor 10 aktiv ist (Arbeitszustand ACTIVE), kann der Hauptprozessor 12 die ersten vier Eingangsregister INP0 bis INP3 beschreiben und die vier Transitionsregister sowie die zwei Register zum Speichern der Maximalmetrikwerte MAXU und MAXL lesen, ohne damit den laufenden Berechnungsablauf zu stören. Damit lassen sich Eingaben für den nächsten Trellisschritt und Ausgaben des letzten Trellisschritts während einer laufenden Berechnung des Koprozessors 10 ein- bzw. auslesen. Diese Funktionalität wird durch eine geeignete Zwischenspeicherung der zur Berechnung des aktuellen Trellisschritts erforderlichen Werte sowie der Berechnungsergebnisse des aktuellen Trellisschritts erreicht.

Fig. 5a bis Fig. 5c veranschaulichen das Zusammenspiel zwischen dem Hauptprozessor 12 und dem Koprozessor 10. Hierbei wird der Beginn der Bearbeitung eines Datenblocks gezeigt, und zwar in Fig. 5a der Werteverlauf des Steuerbits VCTACT, in Fig. 5b der Ruhe- oder Arbeitszustand des Koprozessors 10 und in Fig. 5c der Werteverlauf des Steuersignals VTCEVEN.

Vor dem Zeitpunkt t_1 bereitet der Hauptprozessor 12 die Bearbeitung eines Datenblocks vor. Er initialisiert zunächst die Speichereinrichtung 24 mit geeigneten anfänglichen Zustandsmetriken und schreibt dann die gewünschten Konfigurationsdaten in das Statusregister des Koprozessors 10. Falls der Entzerrmodus des Koprozessors 10 gewählt wurde, schreibt der Hauptprozessor 12 ferner acht vorab berechnete Sollwerte in die Eingangsregister INP1 bis INP8.

Zur Bearbeitung des ersten Bits des Datenblocks lädt der Hauptprozessor 12 nun entsprechende Werte in das Eingangsregister INP0 und, je nach dem Betriebsmodus, gegebenenfalls in weitere Eingangsregister. Der Koprozessor 10 wird nun durch Setzen des Steuerbits VCTACT zum Zeitpunkt t_1 gestartet und berechnet selbständig einen Trellisschritt. Diese Berechnung ist zum Zeitpunkt t_2 abgeschlossen. Im Intervall zwischen den Zeitpunkten t_1 und t_2 schreibt der Hauptprozessor 10 bereits die für den nächsten Trellisschritt erforderlichen Eingangswerte in das Eingangsregister INP0 und gegebenenfalls in die weiteren Eingangsregister INP1 bis INP3.

Der Abschluß der Berechnungen wird dem Hauptprozessor 12 zum Zeitpunkt t_2 dadurch signalisiert, daß der Koprozessor 10 das Steuerbit VCTACT zurücksetzt. Da die zur Berechnung des zweiten Trellisschritts erforderlichen Eingangswerte bereits in den Eingangsregistern des Koprozessors 10 vorliegen, kann der Koprozessor 10 sofort durch Setzen des Steuerbits VCTACT wieder gestartet werden (Zeitpunkt t_3).

Während der Berechnung des zweiten Trellisschritts im Intervall zwischen den Zeitpunkten t_3 und t_4 liest der Hauptprozessor 12 zunächst die benötigten Ausgangswerte aus den vier Transitionsregistern sowie den zwei Registern zum Speichern der Maximalmetrikwerte MAXU und MAXL. Die in diesen Ausgangsregistern gespeicherten Werte des ersten Trellisschritts werden während der laufenden Berechnung des zweiten Schritts nicht überschrieben. Der Hauptprozessor 12 kann nun die ausgelesenen Werte nachbearbeiten, um beispielsweise bei der Entzerrung aus den Maximalmetrikwerten MAXU und MAXL durch eine Subtraktion und eine Skalierung einen Wert für das wahrscheinlich empfangene Datenbit und eine Zuverlässigkeitsangabe zu ermitteln. Im Kanaldekodiermodus speichert der Prozessor die Transitionsbits ab, um nach dem Abschluß der Bearbeitung des Datenblocks den wahrscheinlichsten Pfad im Trellis rückverfolgen zu können.

Noch vor dem Zeitpunkt t_4 , also während der Berechnung des zweiten Trellisschritts, schreibt der Hauptprozessor 12,

wie bereits geschildert, die für den dritten Trellisschritt benötigten Eingangsdaten in die Eingangsregister des Koprozessors **10** ein. Damit ist während der Ruhephase nach dem Zeitpunkt t_4 keine Kommunikation zwischen dem Hauptprozessor **12** und dem Koprozessor **10** erforderlich, so daß diese Ruhephase (Zeitintervall t_4 bis t_5) sehr kurz gehalten werden kann. Der Koprozessor **10** wird also bei dem geschilderten Ablauf nahezu ständig in dem Arbeitszustand ACTIVE gehalten und damit sehr gut genutzt. Zu Test- oder Diagnosezwecken kann jedoch der Inhalt der Speichereinrichtung **24** durch den Hauptprozessor **12** während der Ruhephasen des Koprozessors **10** (Ruhezustand IDLE) ausgelesen werden.

Bezugszeichenliste

10 Koprozessor	10
12 Hauptprozessor	
14 Bus	
16 Speichereinrichtung	
18 Ein-/Ausgabereinrichtung	
20 Metrikberechnungseinrichtung	15
22 Pfadwahleinrichtung	
24 Speichereinrichtung	
26a Speicherbank	
26b Speicherbank	
26c Speicherbank	20
26d Speicherbank	
28–58 diverse Berechnungsschritte bei der Verarbeitung eines Trellisschritts	
60–66 Übergänge	

Patentansprüche

1. Koprozessor (**10**) zum Bereitstellen von Hilfsfunktionen für ein Viterbi-Dekodierungsverfahren, mit:
 - einer Metrikberechnungseinrichtung (**20**), die dazu eingerichtet ist, für jeden einzelnen Trellisschritt mindestens einen Eingangswert (INP) einzulesen und in Abhängigkeit von dem mindestens einen Eingangswert (INP) mehrere Zweigmetriken (upper_branch, lower_branch) zu berechnen,
 - einer Speichereinrichtung (**24**) zum Speichern von Zustandsmetriken (old_metric, new_metric), und
 - einer Pfadwahleinrichtung (**22**), die dazu eingerichtet ist, für jeden einzelnen Trellisschritt in Abhängigkeit von den von der Metrikberechnungseinrichtung (**20**) berechneten Zweigmetriken (upper_branch, lower_branch) und den in der Speichereinrichtung gespeicherten Zustandsmetriken (old_metric) neue Zustandsmetriken (new_metric) sowie Ausgangswerte (TRAN, MAXU, MAXL) zu berechnen, die neuen Zustandsmetriken (new_metric) in die Speichereinrichtung (**24**) einzuschreiben und die Ausgangswerte (TRAN, MAXU, MAXL) auszugeben oder zur Ausgabe bereitzustellen.
2. Koprozessor nach Anspruch 1, dadurch gekennzeichnet, daß der Koprozessor (**10**) aus dem mindestens einen Eingangswert (INP) selbständig die Ausgangswerte (TRAN, MAXU, MAXL) berechnet.
3. Koprozessor nach Anspruch 1 oder Anspruch 2, dadurch gekennzeichnet, daß die Ausgangswerte Transitions-
werte (TRAN) und/oder Maximalmetrikwerte (MAXU, MAXL) sind.
4. Koprozessor nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der Koprozessor (**10**) dazu eingerichtet ist, wahlweise in einem Entzerrmodus oder in einem Kanalkodiermodus zu arbeiten.
5. Koprozessor nach Anspruch 4, dadurch gekennzeichnet, daß der Koprozessor (**10**) dazu eingerichtet ist, Soll-
werte (INP) zu speichern und diese Sollwerte (INP) in dem Entzerrmodus bei der Berechnung der Zweigmetriken (upper_branch, lower_branch) jedes Trellisschritts heranzuziehen.
6. Koprozessor nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Speichereinrichtung (**24**) in
mehrere Speicherbänke (**26a–26d**) unterteilt ist, und daß die in der Speichereinrichtung (**24**) gespeicherten Zustandsmetriken (old_metric, new_metric) auf zumindest zwei dieser Speicherbänke (**26a–26d**) verteilt sind.
7. Koprozessor nach Anspruch 6, dadurch gekennzeichnet, daß die Pfadwahleinrichtung (**22**) dazu eingerichtet ist,
auf zumindest zwei Speicherbänke (**26a–26d**) der Speichereinrichtung (**24**) parallel zuzugreifen.
8. Koprozessor nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß der Koprozessor (**10**) als festver-
drahtete Hardwareschaltung ausgebildet ist.
9. Koprozessor nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß der Koprozessor (**10**) dazu einge-
richtet ist, den mindestens einen Eingangswert (INP) von einem Hauptprozessor (**12**) zu lesen und die Ausgangs-
werte (TRAN, MAXU, MAXL) an den Hauptprozessor (**12**) auszugeben oder zur Ausgabe an den Hauptprozessor
(**12**) bereitzustellen.
10. Koprozessor nach Anspruch 9, dadurch gekennzeichnet, daß der Koprozessor (**10**) Eingangsregister für die
Eingangswerte (INP) und Ausgangsregister für die Ausgangswerte (TRAN, MAXU, MAXL) aufweist, und daß
diese Register während der Verarbeitung eines Trellisschritts von dem Hauptprozessor (**12**) zumindest teilweise les-
bar und/oder beschreibbar sind.
11. Signalverarbeitungseinrichtung mit einem Hauptprozessor (**12**) und einem mit diesem verbundenen Koprozes-
sor (**10**), dadurch gekennzeichnet, daß der Koprozessor (**10**) die Merkmale des Anspruchs 9 oder 10 aufweist.
12. Signalverarbeitungseinrichtung nach Anspruch 11, dadurch gekennzeichnet, daß der Hauptprozessor (**12**) ein
programmierbarer, digitaler Signalprozessor ist.
13. Signalverarbeitungseinrichtung nach Anspruch 11 oder 12, dadurch gekennzeichnet, daß der Koprozessor (**10**)
dazu eingerichtet ist, einen einzelnen Trellisschritt parallel zu in dem Hauptprozessor (**12**) ablaufenden Prozessen
zu berechnen.

14. Signalverarbeitungseinrichtung nach Anspruch 13, dadurch gekennzeichnet, daß der Hauptprozessor (12) dazu eingerichtet ist, vor jedem Trellisschritt den mindestens einen Eingangswert (INP) zum Koprozessor (10) zu übertragen, dann die Berechnung des Trellisschritts im Koprozessor (10) anzustoßen, und schließlich die Ausgangswerte (TRAN, MAXU, MAXL) zumindest teilweise aus dem Koprozessor (10) auszulesen.

15. Signalverarbeitungseinrichtung nach Anspruch 14, dadurch gekennzeichnet, daß die Übertragung des mindestens einen Eingangswerts (INP) zum Koprozessor (10) während der Berechnung des vorhergehenden Trellisschritts durch den Koprozessor (10) erfolgt, und daß das zumindest teilweise Auslesen der Ausgangswerte (TRAN, MAXU, MAXL) aus dem Koprozessor (10) während der Berechnung des nachfolgenden Trellisschritts durch den Koprozessor (10) erfolgt.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

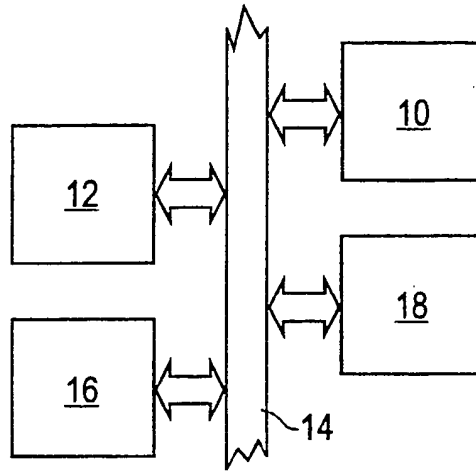


FIG 1

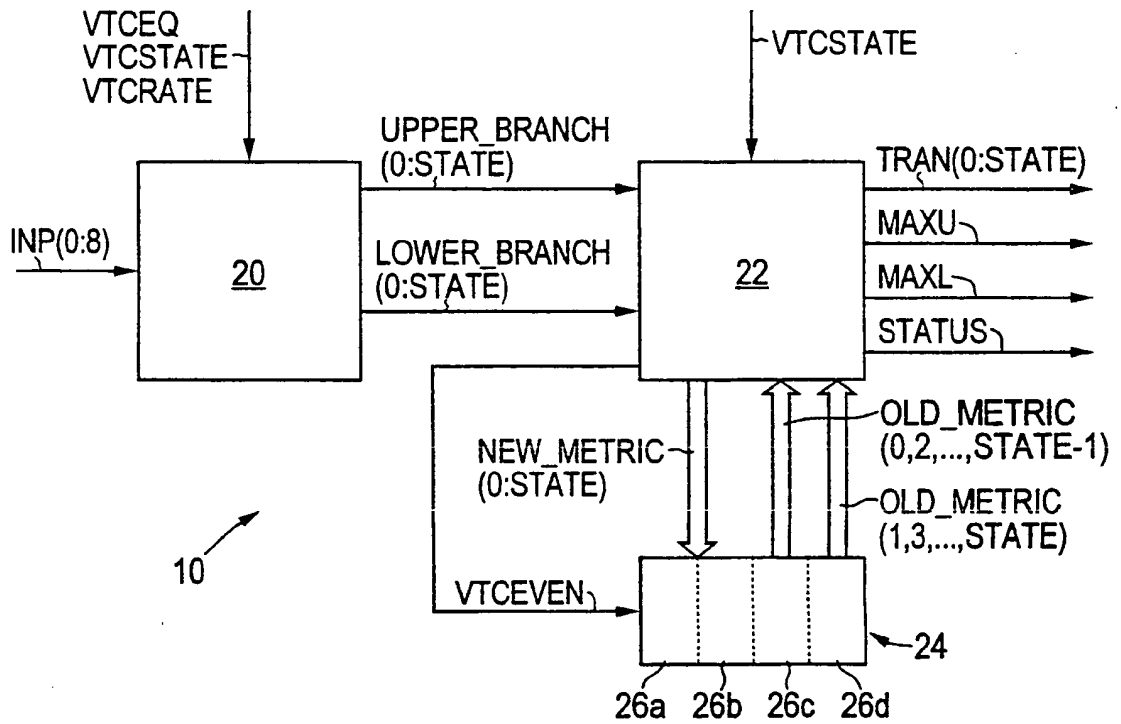


FIG 2

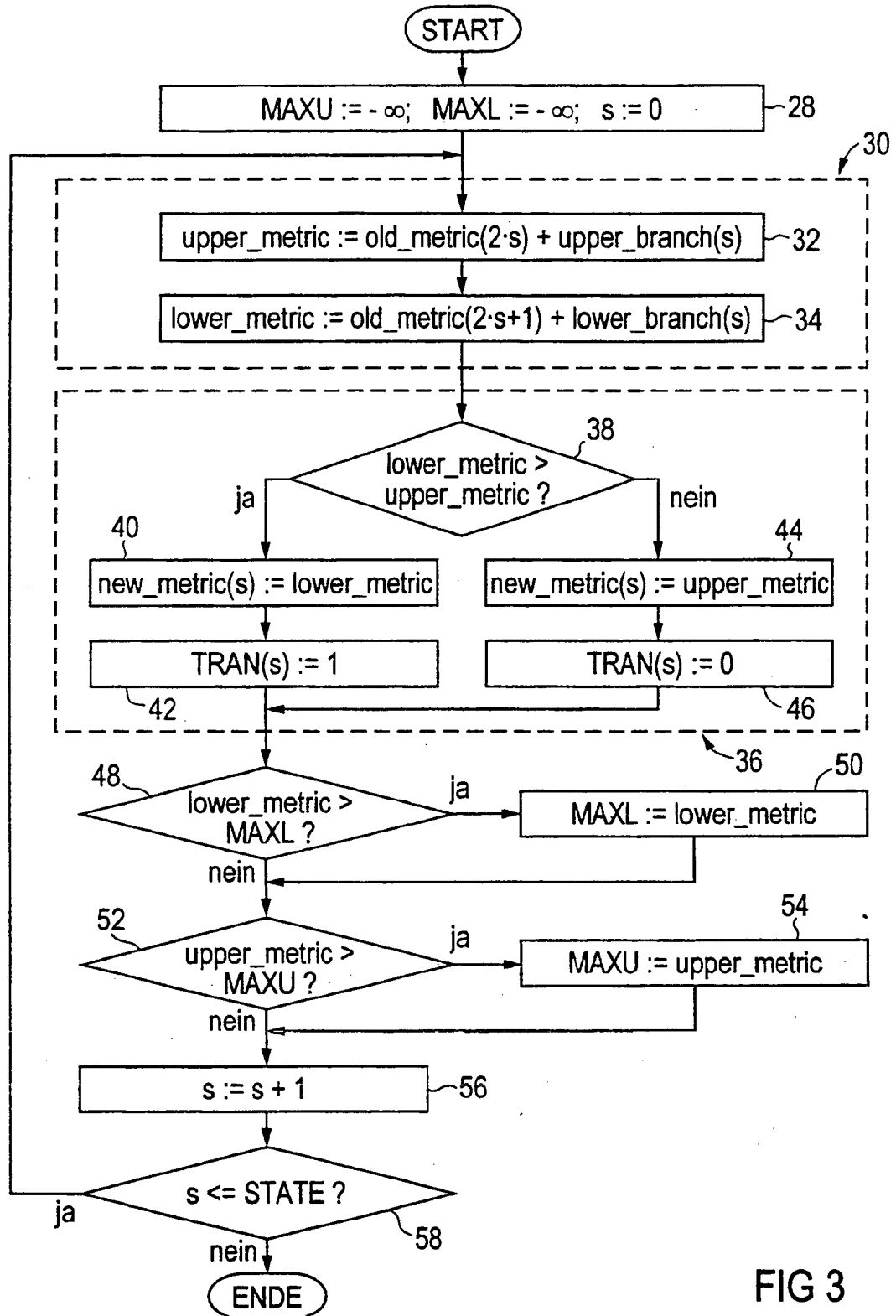


FIG 3

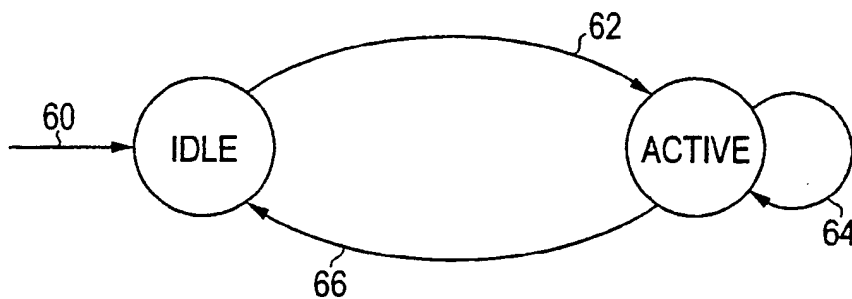


FIG 4

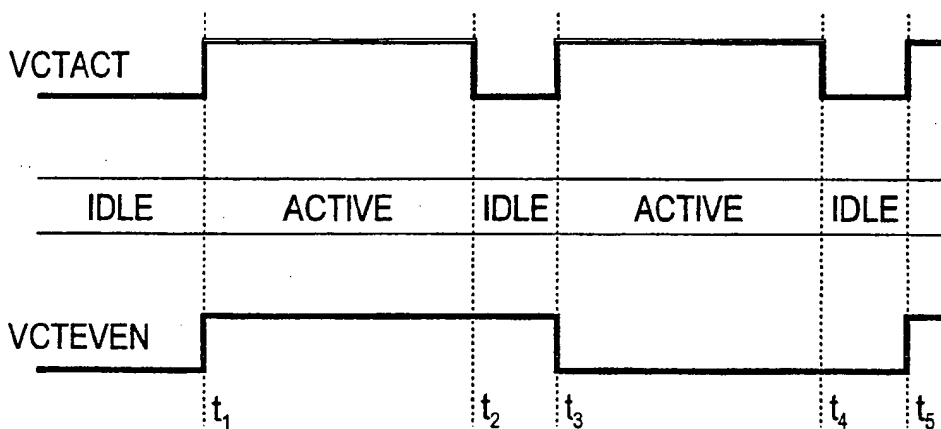


FIG 5a

FIG 5b

FIG 5c

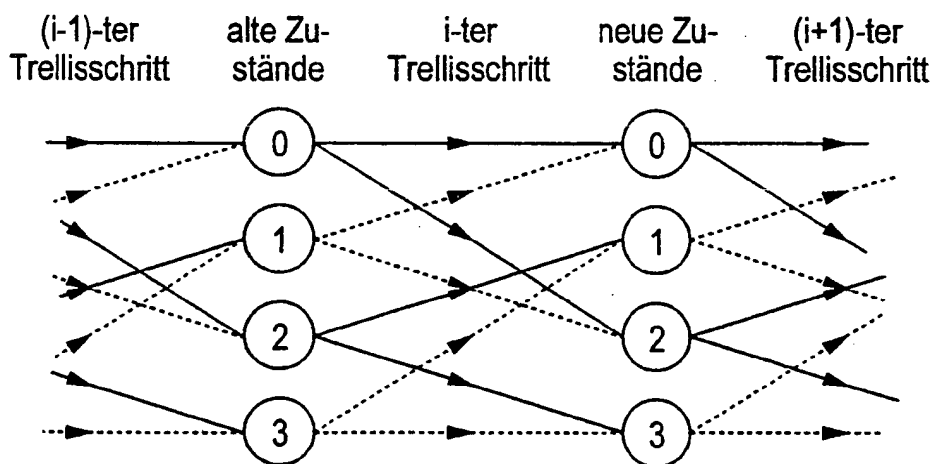


FIG 6